

ATM CELL SEGMENTING CONTROL SYSTEM

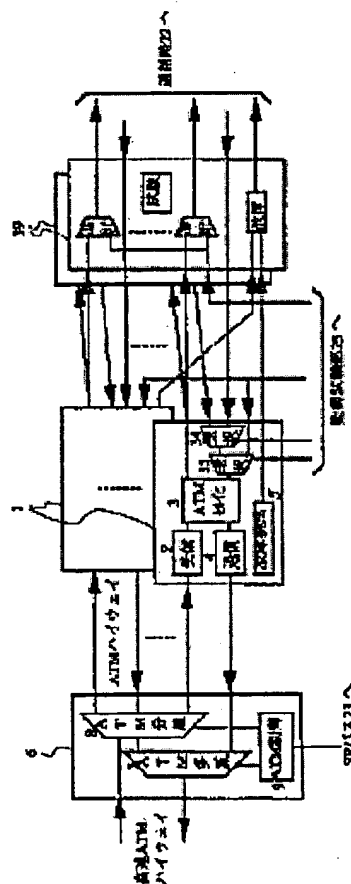
Patent number: JP6209365
Publication date: 1994-07-26
Inventor: MIZUNO TOSHIRO; FUJITANI HIROSHI
Applicant: NIPPON TELEGRAPH & TELEPHONE
Classification:
- international: H04M3/00; H04L12/48; H04L12/66; H04Q11/04
- european:
Application number: JP19930003606 19930112
Priority number(s): JP19930003606 19930112

Report a data error here

Abstract of JP6209365

PURPOSE:To provide an STM(synchronous transfer mode) exchange with the ATM (asynchronous transfer mode) cell segmenting function by package switching by providing an STM exchange line interface part with the ATM cell segmenting means and providing its control interface as the same ATM channel as communication information.

CONSTITUTION:Plural ATM line interface parts 1 which can be replaced with STM line interface parts and a high-speed ATM multiplexing device 6 are provided. The ATM multiplexing device 6 includes an ATM control circuit 9 as the control means which is connected to the control part of the ATM exchange and converts the control signal from this control part to ATM cents to transmit them to individual ATM line interface parts 1, and the ATM line interface part 1 includes an ATM cell segmenting circuit 3 as the ATM cell segmenting means which mutually converts STM information strings and ATM cells in accordance with the control signal converted to ATM cells from the ATM control circuit 9.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-209365

(43) 公開日 平成6年(1994)7月26日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 M 3/00

B 8426-5K

H 0 4 L 12/48

12/66

8732-5K

H 0 4 L 11/20

Z

8732-5K

B

審査請求 未請求 請求項の数1 F D (全 9 頁) 最終頁に続く

(21) 出願番号

特願平5-3606

(22) 出願日

平成5年(1993)1月12日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 水野 俊郎

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 藤谷 宏

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

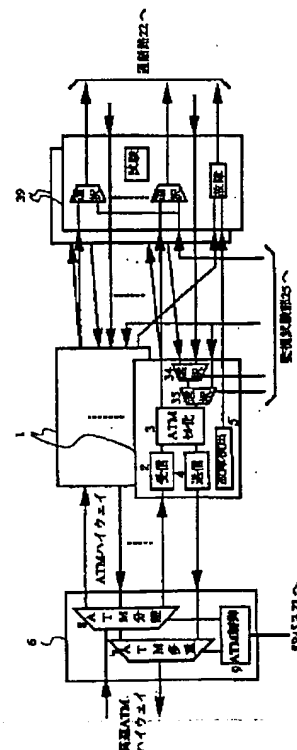
(74) 代理人 弁理士 井出 直孝 (外1名)

(54) 【発明の名称】 ATMセル化制御方式

(57) 【要約】

【目的】 既存のSTM交換機を改造することなく回路基板などのパッケージの交換によりATMとの相互変換を行うようにする。

【構成】 取り替え可能なパッケージ単位に構成されたSTM交換機回線インタフェース部にATMセル化回路3を組み込んでATM回線インタフェース部1とし、このATMセル化回路3を制御するための制御インタフェースを通信情報と同様のATMチャネルとして設け、ATM多重化装置6経由で制御する。



【特許請求の範囲】

【請求項1】 STM交換機とATM交換機とを相互に接続するATMセル化制御方式において、

上記STM交換機はSTM多重された通信情報をチャネル単位に交換する通話路とSTM多重化伝送路とを接続するSTM回線インタフェース部(30)が取り替え可能なパッケージとして設けられた交換機であり、

このSTM回線インタフェース部と取り換え可能な構成のATM回線インタフェース部(1)と、

複数のATM回線インタフェースと高速ATM多重化伝送路との間のATMセルの多重分離を行うATM多重化装置(6)とを備え、

このATM多重化装置は、上記STM交換機の制御部に接続され、その制御部からの制御信号をATMセルに変換して個々のATM回線インタフェース部に送信する制御手段(9)を含み、

上記ATM回線インタフェース部は、この制御手段からのATMセルによる制御信号にしたがってSTM情報列とATMセルとを相互に変換するATMセル化手段(3)を含むことを特徴とするATMセル化制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はATM(非同期転送モード)通信とSTM(同期転送モード)通信との相互接続に利用する。

【0002】

【従来の技術】ATM通信とSTM通信との相互接続を実現するためには、通信情報をATMセルに組立分解するためのATMセル化手段をATM交換機あるいはSTM交換機に設ける必要がある。

【0003】この相互接続を理解するため、STM多重化則とATMセルとの対応関係およびATMセルの構成を図3に示す。STMでは、通信情報は1バイト(8ビット)毎に時分割多重され、多重化された時間位置は規則的に配置されている。すなわち、図3に示すように、1番目ないしn番目のチャネル(回線)の通信情報がフレーム毎に規則的に配置される。これに対してATMでは、チャネル毎の通信情報が、通信情報7バイトにATMヘッダ5バイトおよびAALヘッダ1バイトを付加したATMセルに組み立てられ、ATMセルを単位としてATM多重化される。図3では、0番目および2番目のチャネルの通信情報がATMセルに組み上げられる例を示している。ATMセルとチャネルとの対応付けは、ATMヘッダの仮想バス/仮想チャネル識別子VPI/VCIを用いて行われる。

【0004】このように、ATM通信とSTM通信との相互接続を実現するためには、STM多重されたSTM情報列をチャネル毎にATMセルに組み立て、また、ATMセルをSTM多重化位置に合わせてSTM情報列に分割する必要がある。これらを総称して本明細書では

「ATMセル化」という。

【0005】次に、従来のSTM交換機の構成例を図4に示す。

【0006】このSTM交換機は、呼制御および各部の制御をソフトウェアで実行する共通制御部20と、他の交換機との間で呼制御信号の送受信を行う信号処理部21と、STM多重された通信情報をチャネル単位に交換する通話路22と、共通制御部20と信号処理部21、通話路22および監視試験部25とを接続するSPバス23と、STM多重化伝送路(以下「STMハイウェイ」という)と通話路22とを接続するSTMインタフェース部24と、通信チャネルの試験および故障監視を行う監視試験部25とを備える。共通制御部20、信号処理部21、通話路22およびSPバス23は現用系と予備系とに二重化される。

【0007】共通制御部20は、他の交換機から信号処理部21を介して呼制御情報を受信し、その呼制御情報に基づいて、通信接続に必要な入STMハイウェイおよび入STMハイウェイ内のチャネル位置と、同じく出STMハイウェイおよび出STMハイウェイ内のチャネル位置とを識別し、その入チャネルと出チャネルとを接続するための通話路22内のパスを選択し、通話路22内にそのパスを接続するための制御信号をSPバス23を介して通話路22に送信する。通話路22は、STMインタフェース部24を介して複数のSTMハイウェイを収容し、伝送装置あるいは他の交換機や通信装置と接続され、共通制御部20の制御に基づきパスを接続し、STMハイウェイから入力されるSTM通信情報をチャネル単位に交換してSTMハイウェイに出力する。信号処理部21は、STMインタフェース部24および通話路22を介して信号用STMチャネルに接続され、その信号用STMチャネルを通して他の交換機の信号処理部と接続され、呼接続のための制御信号を交換機間で送受信する。監視試験部25は、共通制御部20からの指示により、STMインタフェース部24を介して通話路22およびSTMハイウェイの任意のSTMチャネルを監視試験回路に接続し、各チャネルの正常性を試験する。

【0008】図5は図4におけるSTMインタフェース部24の構成例を示す。

【0009】このSTMインタフェース部は、STMハイウェイに接続されるSTM回線インタフェース部30と、二重化構成である通話路22と一重構成であるSTM回線インタフェース部30とを接続する通話路インタフェース部39とを備える。STM回線インタフェース部30は、受信回路31、エラスティックメモリ32、多重化回路33、通話路選択回路34、試験用選択回路35、分離回路36、送信回路37および故障検出回路38により構成される。通話路インタフェース部39は、通話路22のチャネルの常時試験、監視試験部25からの試験データの挿入、STM回線インタフェース部

30の故障情報収集などを行う。

【0010】STM回線インタフェース部30についてさらに詳しく説明する。

【0011】受信回路31は、STMハイウェイから通信情報を受信して符号変換を行い、ビット同期をとり、エラスティックメモリ32に送信する。エラスティックメモリ32はSTMハイウェイのフレーム位相を検出し、通信情報を蓄積して各STMハイウェイ間のフレーム位相差を吸収してSTMハイウェイの各チャンネルのフレーム位相を合わせる。多重化回路33は複数STMハイウェイの通信情報をさらに多重し、より高速なインタフェースに変換して二重化された双方の通話路インタフェース部39に送信する。

【0012】通話路選択回路34は、通話路22からの通信情報を二重化された通話路インタフェース部39の双方から受信し、監視試験部25からの現用系指定信号に基づき対応する通話路インタフェース部39からの通信情報を選択する。試験用選択回路35は、監視試験部25からの選択信号に基づき、通話路選択回路34すなわち通話路22からの通信情報、あるいは監視試験部25からの試験データのいずれかを選択し、分離回路36に送信する。分離回路36は、あらかじめ定められた複数のSTMハイウェイに通信情報を分離し、STMハイウェイの伝送速度に通信情報の伝送速度を整合させる。伝送回路37は、分離回路36により分離された情報の符号変換を行い、STMハイウェイに通信情報を送信する。故障検出回路38はSTMハイウェイからの情報の入力段、フレーム同期外れの検出、およびSTMハイウェイ上の警報の送受信を行う。

【0013】

【発明が解決しようとする課題】このようなSTM交換機により実現されるSTM通信をATM通信に相互接続する場合、従来は、そのための手段を新しい交換機であるATM交換機に設けることが一般的であると考えられていた。しかしその場合には、ATM交換機とSTM交換機との間をSTM伝送路で接続する必要があり、その区間ではATMの特徴である伝送路の効率的利用ができなくなってしまう。また、STM交換機にATMセル化手段を設けるには既存の運用中の交換機を改造する必要があり、実用上問題があった。

【0014】本発明は、これらの課題を解決し、既存のSTM交換機を改造することなく、回路基板などのパッケージの交換によりSTM交換機にATMセル化手段を設けることを目的とする。

【0015】

【課題を解決するための手段】本発明のATMセル化制御方式は、従来のSTM回線インタフェース部と取り換え可能な構成のATM回線インタフェース部と、複数のATM回線インタフェースと高速ATM多重化伝送路との間のATMセルの多重分離を行うATM多重化装置と

を備え、このATM多重化装置は、STM交換機の制御部に接続され、その制御部からの制御信号をATMセルに変換して個々のATM回線インタフェース部に送信する制御手段を含み、ATM回線インタフェース部は、この制御手段からのATMセルによる制御信号にしたがってSTM情報列とATMセルとを相互に変換するATMセル化手段を含むことを特徴とする。

【0016】

【作用】取り替え可能なパッケージ単位に構成されたSTM交換機回線インタフェース部にATMセル化手段を組み込むとともに、ATMセル化手段を制御するための制御インタフェースを通信情報と同様のATMチャンネルとして設け、その制御インタフェースと通信情報とを物理的には一つのATM多重化インタフェースとし、制御インタフェースを物理的に特別に設けることなく実現する。これにより、既存のSTM交換機を改造することなく、回路基板その他のパッケージの交換により、STM交換機にATMセル化機能を設けることができる。

【0017】

【実施例】図1は本発明の実施例を示すブロック構成図である。

【0018】この実施例は、STM回線インタフェース部(図5の符号30)と取り換え可能な構成のATM回線インタフェース部1と、複数のATM回線インタフェース1と高速ATM多重化伝送路との間のATMセルの多重分離を行うATM多重化装置6とを備え、このATM多重化装置6は、STM交換機の制御部(図4の共通制御部20)に接続され、その制御部からの制御信号をATMセルに変換して個々のATM回線インタフェース部に送信する制御手段としてATM制御回路9を含み、ATM回線インタフェース部1は、このATM制御回路9からのATMセルによる制御信号にしたがってSTM情報列とATMセルとを相互に変換するATMセル化手段としてATMセル化回路3を含む。

【0019】ATM回線インタフェース部1は、ATM多重化伝送路(以下「ATMハイウェイ」という)とSTM交換機とを接続するためのものであり、図5に示したSTM回線インタフェース部30にATMセル化機能を組み込んでATM-STM変換を行うようにしたものである。このATM回線インタフェース部1は、ATMセル化回路3に加え、図5に示した受信回路31および送信回路37とそれぞれ同一あるいは送受信速度のみが異なる同種の受信回路2および送信回路4と、故障検出回路5とを備える。

【0020】ATM多重化装置6は、複数のATMハイウェイをさらに高速のATMハイウェイに多重分離する装置であり、ATM制御回路9に加え、ATM多重化回路7およびATM分離回路8を備える。ATM制御回路9は図4に示すSPバス23により共通制御部20に接続され、この共通制御部20からの制御に基づきATM

セルのATMヘッダ値を設定する。

【0021】この実施例の動作についてさらに詳しく説明する。

【0022】受信回路2は、ATM多重化装置6からATMハイウェイを通してATMセルを受信し、符号変換を行い、ビット同期をとり、ATMセル化回路3にATMセルを送信する。ATMセル化回路3は、ATMセルをSTM情報列に分解し、STM多重化位置に合わせて通信路インタフェース部39に通信情報を送信する。通信路選択回路34および試験用選択回路35は図5に示した従来例のものと同様であり、STM情報列の通信情報を現用系の通話路インタフェース部39から受信し、通信情報あるいは監視試験部25からの試験データのいずれかを選択し、STM情報列のままATMセル化回路3に送信する。ATMセル化回路3は、STM情報列をチャンネル毎にATMセルに組み立て、そのATMセルを送信回路4に送信する。送信回路4は、符号変換を行った後、ATMハイウェイを通してATM多重化装置6にATMセルを送信する。故障検出回路5は、ATMハイウェイからのATMセルの入力断の検出およびATMハイウェイ上の警報の送受信を行う。

【0023】ATM多重化装置6はATMハイウェイを介してATM回線インタフェース部1に接続される。ATM多重化装置6内のATM多重化回路7は、ATM回線インタフェース部1から送信されたATMセルを受信してさらに多重化し、さらに高速のATMハイウェイにそのATMセルを送信する。同じくATM分離回路8は、高速のATMハイウェイからATMセルを受信し、共通制御部20によりATM制御回路9を介してあらかじめ設定されたATMセルの仮想バス/仮想チャンネル情報に基づき、ATM回線インタフェース部1すなわちATMハイウェイに、受信したATMセルを分離分配する。ATM制御回路9は、共通制御部20からSPバス23を介してATMセルの制御情報を受信し、ATM分離回路8に、ATMセルをATMハイウェイに分離するときに必要な仮想バス/仮想チャンネル情報とATMハイウェイとの対応付けを設定する。

【0024】ATM制御回路9はまた、ATM回線インタフェース部1のATMセル化回路3においてATMセルとSTMチャンネルとの対応付けに必要な仮想バス/仮想チャンネル情報を共通制御部20からSPバス23を介して受信し、その仮想バス/仮想チャンネル情報を通信情報としてATMセルに組み立て（これを以下「制御セル」という）、ATM多重化回路7を介してATMハイウェイに送出する。ATMセル化回路3は、ATMハイウェイを通して受信するATMセルの中から制御セルを抽出し、仮想バス/仮想チャンネル情報を得る。この後、ATMセル化回路3は、制御情報設定完了信号をATMセル化し、ATMハイウェイに送出する。ATM分離回路8は、その制御情報設定完了信号をATMハイウェイ

を介して受信し、ATM制御回路9に送信する。ATM制御回路9は、そのATMセルを制御情報設定完了信号に分解し、SPバス23を介して共通制御部20に送信する。

【0025】図2はATMセル化回路の構成例を示す。

【0026】このATMセル化回路は、ATMセルを受信してその通信情報をSTM情報列に変換するセル分解バッファ10と、ATMヘッダを分析して受信セルとSTMチャンネルとの対応付けを行うセル分解制御回路11と、受信セルのVPI/VC IとSTMチャンネルとの対応表を格納するヘッダ/TS変換テーブル12と、STM情報列を受信しATMセルに組み立てて送信するセル組立バッファ13と、STMチャンネルと送信セルとの対応付けを行うセル組立制御回路14と、STMチャンネルと送信セルのVPI/VC Iとの対応表を格納するTS/ヘッダ変換テーブル15と、ATMチャンネルを通して制御情報を受信しヘッダ/TS変換テーブル12およびTS/ヘッダ変換テーブル15に変換情報を設定し、設定完了をATMチャンネルを通して送信するセル化制御回路16とを備えるセル分解バッファ10は、受信回路2からATMセルを受信し、セル分解制御回路11の指示に基づきSTMチャンネル位置毎に別々にATMセルを蓄積する。セル分解制御回路11は、受信したATMセルのATMヘッダを解析し、ATMヘッダのVPI/VC Iとヘッダ/TS変換テーブル12に格納されたVPI/VC IとSTMチャンネルとの対応表に基づき、その受信ATMセルをどのSTMチャンネルに送信するかに対応してセル分解バッファ10のアドレスを算出し、そのアドレスに受信ATMを書き込む。また、1バイト毎のSTM通信情報送出タイミングに基づいてセル分解バッファ10からATMセル内の通信情報を1バイト毎に周期的に順次読み出し、通話路インタフェース部39に送信する。

【0027】セル組立バッファ13は、通話路インタフェース部39から通話路選択回路34および試験用選択回路35を介してSTM通信情報列を受信し、セル組立制御回路14の指示に基づき、STMチャンネル毎に通信情報を蓄積する。セル組立回路14は、STMチャンネルに応じたセル組立バッファ13のアドレスに対応するSTM情報を1バイト毎に周期的に書き込み、そのSTMチャンネルの通信情報が47バイト蓄積された時点でTS/ヘッダ変換テーブル15に格納されたSTMチャンネルとVPI/VC Iとの対応表に基づいてATMヘッダ5バイトを付加し、ATMセルとしてセル組立バッファ13から読み出してATMハイウェイに送出する。

【0028】セル分解制御回路11は、セル分解バッファ10に蓄積されるATMセルのATMヘッダを解析し、あらかじめ定められたVPI/VC I値に基づき、共通制御部20からATM多重化装置6を介して送信される制御セル（制御情報）を識別し、その制御情報をセ

ル化制御回路16に送信する。セル化制御回路16は、受信した制御情報に基づき、ヘッダ/TS変換テーブル12およびTS/ヘッダ変換テーブル15に、VPI/VC IとSTMチャネルとの対応表およびSTMチャネルとVPI/VC Iとの対応表をそれぞれ設定する。セル化制御回路16はまた、共通制御部20からの制御情報に基づき、ATMセル化開始およびATMセル化停止をセル分解制御回路11およびセル組立制御回路14に指示する。

【0029】

【発明の効果】以上説明したように、本発明のATMセル化制御方式では、STM交換機の通話路インタフェース部および監視試験部に対してSTM回線インタフェース部と同一のインタフェースをもつATM回線インタフェース部を用い、ATMセル化に必要なVPI/VC IとSTMチャネルとの対応情報をATMハイウェイを通して受信する。したがって、STM回線インタフェース部をATM回線インタフェース部に取り替えることにより、STM交換機を改造することなく、STM交換機にATMセル化機能を付加することができる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック構成図。

【図2】ATMセル化回路の構成例を示す図。

【図3】STM多重化則とATMセルとの対応関係およびATMセルの構成を示す図。

【図4】既存のSTM交換機の構成例を示すブロック構成図。

【図5】STMインタフェース部の構成例を示す図。

【符号の説明】

1 ATM回線インタフェース部

2、31 受信回路
3 ATMセル化回路
4、37 送信回路
5、38 故障検出回路
6 ATM多重化装置
7 ATM多重化回路
8 ATM分離回路
9 ATM制御回路
10 セル分解バッファ
10 11 セル分解制御回路
12 ヘッダ/TS変換テーブル
13 セル組立バッファ
14 セル組立制御回路
15 TS/ヘッダ変換テーブル
16 セル化制御回路
20 共通制御部
21 信号処理部
22 通話路
23 SPバス
20 24 STMインタフェース部
25 監視試験部
30 STM回線インタフェース部
31 受信回路
32 エラスティックメモリ
33 多重化回路
34 通話路選択回路
35 試験用選択回路
36 分離回路
39 通話路インタフェース部

30

【図2】

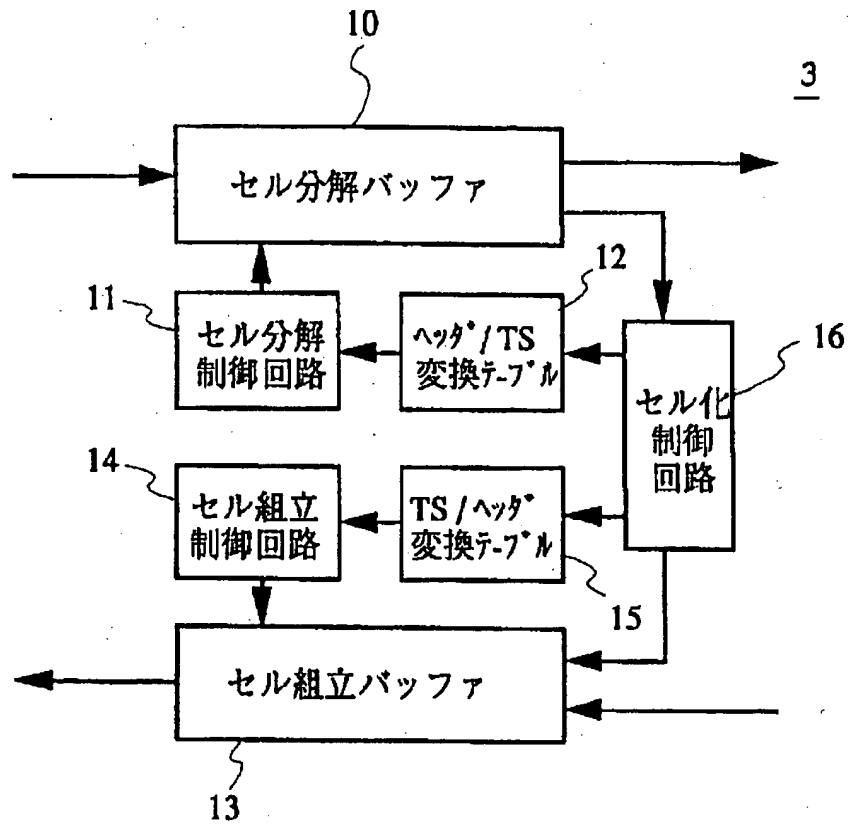
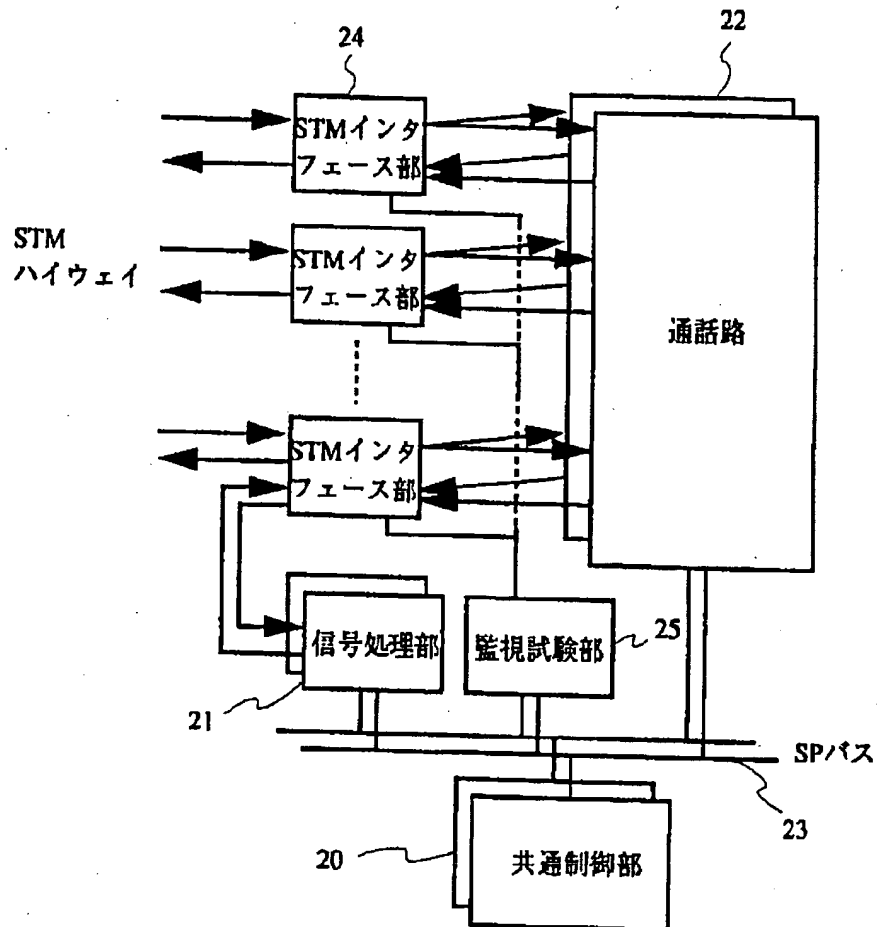


Figure 1 illustrates the structure of STM and ATM frames. The STM frame is divided into segments labeled # (m-1), # m フレーム, # (m+1), and # (m+2). Each segment contains sub-segments #n, #0, #1, and #2. These sub-segments are mapped to ATM cells. The ATM cell structure is shown as a 5-byte unit: ATMヘッダ (1 byte), ATM AALヘッダ (1 byte), 通信情報 (47 bytes), ATM AALヘッダ (1 byte), and 通信情報 (47 bytes). The ATMヘッダ is further detailed with fields G, F, C, VPI/VCI, PTI, CLP, P, T, I, P, HEC, and SN. The ATM AALヘッダ is detailed with fields AALヘッダ, SN, and SNP. The diagram also includes a legend for GFC, VPI/VCI, PTI, CLP, HEC, CSI, SN, and SNP.

Legend:

- GFC: フロー制御
- VPI/VCI: 仮想バス/仮想チャネル識別子
- PTI: 情報タイプ
- CLP: セル優先度
- HEC: ヘッダ誤り制御
- CSI: CS表示
- SN: シーケンス番号
- SNP: SN誤り制御

【図4】



フロントページの続き

(51) Int. Cl.⁵

H04Q 11/04

識別記号

庁内整理番号

F I

技術表示箇所

9076-5K

H04Q 11/04

R